

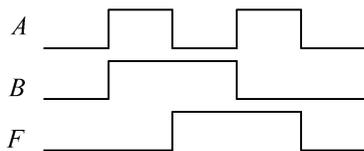
6. 测得某逻辑门输入 A、B 和输出 F 的波形如题 6 图所示, 则 $F(A, B)$ 的表达式为

A. $F = AB$

B. $F = A + B$

C. $F = \overline{AB}$

D. $F = A \oplus B$



题 6 图

7. 以下 _____ 门电路中, 输出端不可以并联使用。

A. TTL 集电极开路门

B. 普通 TTL 与非门

C. TTL 三态输出门

D. 漏极开路的 CMOS 门

8. 某个 TTL 与非门, 查手册知其最大输出低电平 $V_{OLmax} = 0.5V$, 最大输入低电平 $V_{ILmax} = 0.8V$, 最小输出高电平 $V_{OHmin} = 2.4V$, 最小输入高电平 $V_{IHmin} = 2.0V$, 则其低电平噪声容限 $V_{NL} =$

A. 0.4V

B. 0.6V

C. 0.3V

D. 1.2V

9. 触发器的异步输入端的作用是

A. 清 0

B. 置 1

C. 接时钟信号

D. 清 0 或置 1

10. 用 JK 触发器转换成 D 触发器时, 转换的逻辑为

A. $J = D, K = \overline{D}$

B. $J = \overline{D}, K = D$

C. $J = K = \overline{D}$

D. $J = K = D$

11. 在通常情况下, 我们为了将数字信号的波形整形和消除干扰, 选择以下 _____ 电路最合适。

A. 施密特触发器

B. 单稳态触发器

C. 数据选择器

D. 多谐振荡器

12. 一个 10 位的 D/A 转换器, 最大满度输出电压 $V_o = 5V$, 其分辨率为

A. 9.78×10^{-3}

B. 4.89×10^{-3}

C. 0.2

D. 9.78×10^{-4}

非选择题部分

注意事项:

用黑色字迹的签字笔或钢笔将答案写在答题纸上, 不能答在试题卷上。

二、填空题(本大题共 10 小题, 每小题 1 分, 共 10 分)

13. 相邻两组编码只有一位不同的编码是 _____。

14. 已知二进制数 11001010, 其对应的十进制数为 _____。

15. 逻辑函数 $F = AB + B\overline{C}$ 的反函数 $\overline{F} =$ _____。

16. 一只 3 输入端与非门,使其输出为 1 的输入变量取值组合有 _____ 种。
17. 对 CMOS 门电路,输入端接 510kΩ 的大电阻到地相当于接 _____ 电平。
18. 能完成两个一位二进制数相加,并考虑到低位进位的器件称为 _____。
19. T 触发器的特性方程为 _____。
20. 4 位移位寄存器,现态为 1100, $D_{sl}=1$,经左移 1 位后,其次态为 _____。
21. 为了避免存储信息丢失,动态 RAM 需要不断地进行 _____ 操作。
22. 对于 A/D 转换器,要把一个模拟量转化为数字量一般要经过 4 个步骤,分别为采样、保持、_____和编码。

三、分析题(本大题共 8 小题,每小题 6 分,共 48 分)

23. 已知某电路的真值表如题 23 表所示,求该电路输出的最简逻辑表达式。

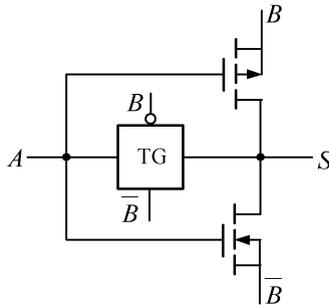
A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

题 23 表

24. 试用卡诺图法将下列具有约束条件的逻辑函数化为最简“与或”式。

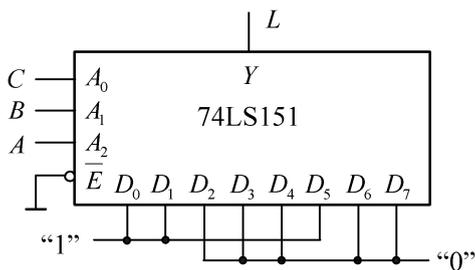
$$F(A,B,C,D) = \sum m(1,4,9,13) + \sum d(5,6,7,10)$$

25. 分析题 25 图所示电路,列出其真值表,写出电路输出函数 S 的逻辑表达式。



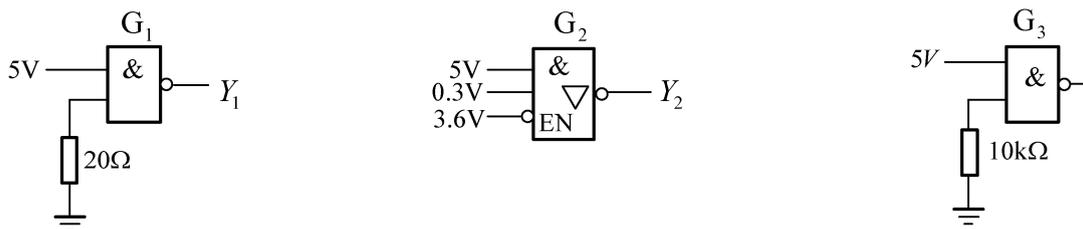
题 25 图

26. 电路如题 26 图所示,请写出图中 8 选 1 数据选择器 74LS151 构成的逻辑电路输出 L 的函数表达式,并用卡若图将其化简成最简“与或”表达式。



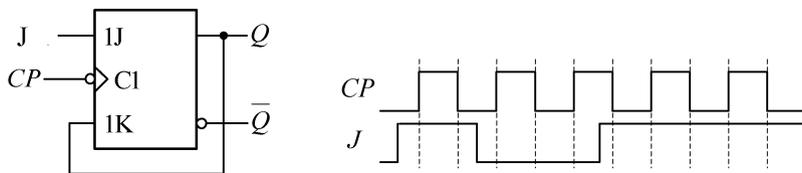
题 26 图

27. 题 27 图所示电路中, G_1 、 G_2 、 G_3 为 TTL 门电路,试指出各门的输出状态。(高电平、低电平、高阻态)



题 27 图

28. 由 JK 触发器构成的电路如题 28 图(a)所示,已知 CP 、 J 的信号波形如题 28 图(b)所示,画出 Q 端的输出波形。(设 Q 的初始态为 0)(在答题纸上抄画 CP 、 J 波形并作答)

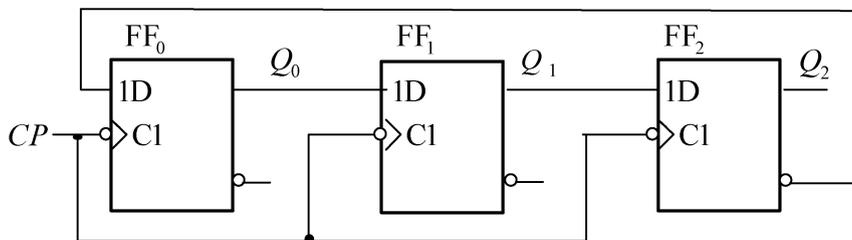


题 28 图(a)

题 28 图(b)

29. 时序电路如题 29 图所示,已知触发器的初始状态为 $Q_2Q_1Q_0 = 000$,试求:

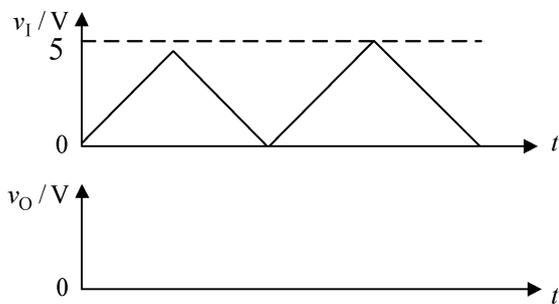
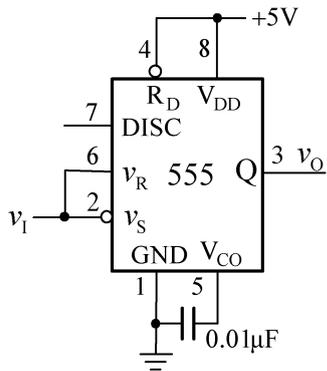
- (1) 写出电路的状态方程;
- (2) 列出电路的状态转换真值表;
- (3) 画出电路的状态转换图,并检查电路能否自启动。



题 29 图

30. 用集成定时器 555 所构成的施密特触发器电路及输入波形 v_i 如题 30 图所示, 试求:

- (1) 施密特触发器的阈值电压;
- (2) 画出对应的输出波形 v_o 。(在答题纸上抄画波形 v_i 并作答)



题 30 图

四、设计题(本大题共 2 小题,每小题 9 分,共 18 分)

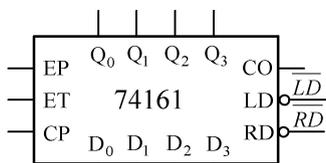
31. 设计一逻辑电路,输入为 8421BCD 码,当输入的码能被 3 整除时(设 0 不能被任何数整除),输出为高电平 1,否则输出为低电平 0。假设输入变量从高位到低位分别用 A 、 B 、 C 、 D 表示,输出变量用 F 表示。求:

- (1) 列出真值表;
- (2) 化简输出逻辑函数,用与非门实现设计并画出电路图。

32. 同步四位二进制计数器 74161 的功能表见题 32 图(a)所示,设计一个初始状态为 0011 的六进制计数器,画出状态图并在题 32 图(b)中画出连线图。(在答题纸上抄画题 32 图(b)并作答)

CP	\overline{RD}	\overline{LD}	EP	ET	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	0	×	×	A	B	C	D	A	B	C	D
×	1	1	0	×	×	×	×	×	保 持			
×	1	1	×	0	×	×	×	×				
↑	1	1	1	1	×	×	×	×	计 数			

题 32 图(a)



题 32 图(b)